

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354667

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

H01L 23/12

(21)Application number : 10-173872

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 05.06.1998

(72)Inventor : KAWANO RYUSUKE
YAMANAKA NAOAKI

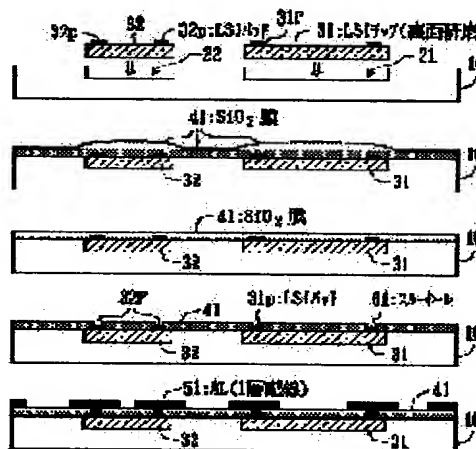
(54) ELECTRONIC PART AND ITS MOUNTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To mount a semiconductor integrated circuit with high density, by a method wherein an insulation film is formed on a substrate mounting semiconductor chips, and a through hole is provided in the insulation film corresponding to only an electrode pad part of the semiconductor chip, a conductive film is deposited on the through hole and the insulation film, and a wiring pattern is formed.

SOLUTION: Recesses 21, 22 are formed on a silicon wafer substrate 10, and semiconductor chips 31, 32 which are thinner than the silicon wafer substrate 10 are mounted on the recesses 21, 22, respectively. Next, a first interlayer film 41 is deposited and processed by a photolithography and etching, thereby forming a through hole 61. After a first wiring layer 51 is vapor-deposited, it is processed by a photolithography and etching, thereby forming a wiring 51. Thus, it is possible to mount a semiconductor integrated circuit with high density and form a cooling structure with high performance.

Moreover, it becomes possible to mixedly mount chips manufactured by different device process technique and passive parts or optical parts in a small area.



LEGAL STATUS

[Date of request for examination] 14.12.2000

[Date of sending the examiner's decision of rejection] 08.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

N

審査請求 未請求 請求項の数 9 F D (全 7 頁)

(21) 出願番号 特願平10-173872

(22) 出願日 平成10年(1998)6月5日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 川野 龍介

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 山中 直明

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

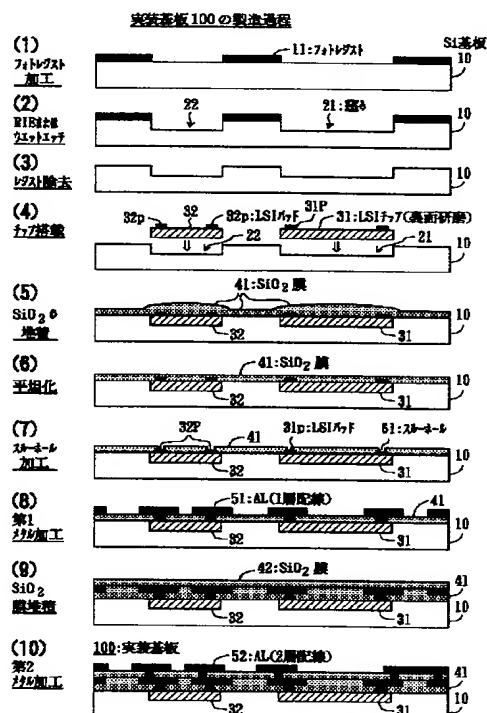
(74) 代理人 弁理士 川久保 新一

(54) 【発明の名称】 電子部品およびその実装方法

(57) 【要約】

【課題】 半導体集積回路を実装する場合、極めて高密度に実装することができ、高性能な冷却構造をとることが可能であり、しかも、異なるデバイスプロセス技術で作製されたチップと、受動部品また光部品とを小さなエリアに混載させることが可能な電子部品およびその実装方法を提供することを目的とするものである。

【解決手段】 半導体チップをシリコンウエハ基板に搭載し、このシリコンウエハ基板に絶縁膜を形成し、半導体チップの電極パッド部分にのみ対応する絶縁膜にスルーホールを設け、このスルーホールと絶縁膜とに導体膜を堆積し、この導体膜をパタン形成することによって配線パターンを形成するものである。



【特許請求の範囲】

【請求項 1】 半導体チップをウエハ基板に搭載する半導体チップ搭載段階と；上記半導体チップと上記ウエハ基板との上に、半導体プロセス技術を用いて絶縁膜を形成する絶縁膜形成段階と；半導体プロセスのフォトリソグラフィ工程とエッチング工程とによって、上記半導体チップの電極パッド部分にのみスルーホールを設けるスルーホール設置段階と；上記スルーホール設置段階の後に、上記絶縁膜と上記スルーホールとに導体膜を堆積する導体膜堆積段階と；リソグラフィ工程によって、上記堆積された導体膜をパタン形成することによって配線パタンを形成する配線パタン形成段階と；を有することを特徴とする電子部品の実装方法。

【請求項 2】 請求項 1 において、上記半導体チップ搭載段階は、半導体プロセス技術によって上記ウエハ基板に窪みを形成し、この形成された窪みへ上記半導体チップを載せる段階か、機械的加工によって上記ウエハ基板に窪みまたは穴を設け、この設けられた窪みまたは穴に上記半導体チップを組み込み固定する段階か、または、上記ウエハ基板に窪みまたは穴を設けずにそのまま上記半導体チップを接着して搭載する段階であることを特徴とする電子部品の実装方法。

【請求項 3】 請求項 1 において、導体膜と絶縁膜とに第 2 の絶縁膜を堆積する段階と、配線パタンに第 2 のスルーホールを設ける段階と、上記第 2 の絶縁膜と上記第 2 のスルーホールとに第 2 の導体膜を堆積する段階と、この堆積された導体膜をパタン形成することによって第 2 の配線パタンを形成する段階とを繰り返し、この繰り返しによって、多層配線を形成し、上記半導体チップ同士を電気的に接続するか、または、配線層によって電極パッドを構成することを特徴とする電子部品の実装方法。

【請求項 4】 請求項 3 において、上記多層配線層は、上記絶縁膜厚と上記導体膜加工寸法とによって、インピーダンス設計された伝送路を有するものであることを特徴とする電子部品の実装方法。

【請求項 5】 請求項 4 において、上記インピーダンス設計された伝送路は、ストリップ線路、マイクロストリップ線路、コプレーナ線路の少なくとも 1 つであることを特徴とする電子部品の実装方法。

【請求項 6】 請求項 1 において、上記絶縁膜と上記導体膜とによって形成されたキャパシタ、上記導体膜をパタニングによってスパイラル状に加工して形成されたインダクタ、半導体プロセス技術によって上記多層配線層中に形成された抵抗体等の受動部品を、上記ウエハ基板中に作り込むことを特徴とする電子部品の実装方法。

【請求項 7】 請求項 1 において、レーザ、フォトディテクタ、波長ルータ等の光部品を混

載することを特徴とする電子部品の実装方法。

【請求項 8】 ウエハ基板と；上記ウエハ基板に搭載されている半導体チップと；上記ウエハ基板と上記半導体チップとの上に形成されている絶縁膜と；上記半導体チップの電極パッド部分にのみ設けられているスルーホールと；上記絶縁膜と上記スルーホールとの上に形成されている配線パタンと；を有することを特徴とする電子部品。

【請求項 9】 請求項 8 において、

10 上記半導体チップは、上記ウエハ基板に形成されている窪みに搭載されているか、上記ウエハ基板に設けられている窪みまたは穴に固定されているか、または、上記ウエハ基板に窪みまたは穴を設けずにそのまま上記ウエハ基板に接着されている半導体チップであることを特徴とする電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体チップ、受動部品および光部品等をウエハ基板に実装する方法および装置に係り、特に、高速多ピン L S I やレーザやフォトディテクタ等の高性能半導体チップの高密度ウエハ基板実装方法および装置に関する。

【0002】

【従来の技術】 図 10 は、半導体チップを基板へ実装する場合における従来のパッケージングの例と MCM 実装の例とを示す図である。

【0003】 半導体チップを実装する場合、従来は、図 10 (1) に示す Q F P (Quad Flat Package) 実装や、図 10 (2) に示す C S P (Chip Scale Package) や、B G A (Ball Grid Array) 等のケースを用いて P C B (Print Circuit Board) に実装する方法が知られ、また、図 1 (3) に示す各種基板を用いた MCM (Multi Chip Module) 化する方法が知られている。なお、MCM (Multi Chip Module) 化するする場合、たとえば MCM-L (MCM-Laminate)、MCM-D (MCM-Dopposite)、MCM-C (MCM-Co-fired) 等が知られている。また、最近では、ベアチップを、ビルドアップ基板と呼ばれる多層基板に実装する方法も提案され、配線の狭ピッチ化およびヴィアランドの小径化によってその実装密度は小さくなっている。

【0004】

【発明が解決しようとする課題】 ところで、半導体チップのパッドピッチの微細化や多ピン化に、パッケージや実装基板の加工精度が追い付かず、また、半導体チップの信号入出力速度の高速化に伴い、終端抵抗を実装する必要性が高まっている。電子機器に半導体チップを実装する場合、L S I における機能集積が留まることなく続いているのに対して、L S I の周辺の電源や基板実装やその他の周辺部品の高密度化が遅れ気味であり、半導体集積回路における機能集積技術の恩恵を受け難くなりつ

つある。

【0005】つまり、2～3cm角の非常に高集積化した半導体チップを実装する場合、実装上の制約があり、たとえば、パッケージングのためのピンピッチ、終端抵抗の物理的な大きさ、インピーダンス設計された伝送線路の占有面積、多層配線のためのビアホールの最少サイズ等を確保する必要があるので、これら確保すべきエリア（実装エリア）として、半導体チップ自体の面積よりもはるかに大きな面積を必要とするという問題がある。

【0006】しかも、マイクロプロセッサの性能向上に伴って、半導体チップの消費電力が確実に大きくなる傾向にあるので、熱抵抗が大きい樹脂系のパッケージや実装基板を用いると、冷却の観点からは望ましくないという問題がある。

【0007】本発明は、半導体集積回路を実装する場合、極めて高密度に実装することができ、高性能な冷却構造をとることが可能であり、しかも、異なるデバイスプロセス技術で作製されたチップと、受動部品また光部品とを小さなエリアに混載させることが可能な電子部品およびその実装方法を提供することを目的とするものである。

【0008】

【課題を解決するための手段】本発明は、半導体チップをシリコンウエハ基板に搭載し、このシリコンウエハ基板に絶縁膜を形成し、半導体チップの電極パッド部分にのみ対応する絶縁膜にスルーホールを設け、このスルーホールと絶縁膜とに導体膜を堆積し、この導体膜をパタン形成することによって配線パタンを形成するものである。

【0009】

【発明の実施の形態および実施例】図1は、本発明の第1の実施例である実装基板100を製造する方法の説明図である。

【0010】まず、図1（1）に示すように、シリコンウエハ基板10にフォトレジスト11を塗付し、パタニングを行った後、図1（2）に示すように、RIE（Reactive Ion Etching）またはウェットエッチングによって、シリコンウエハ基板10に窪み21、22を形成する。この場合、シリコンウエハ基板10に搭載すべきLSIチップ31、32のサイズよりもそれぞれやや大きい窪み21、22を、シリコンウエハ基板10に形成する。そして、図1（3）に示すように、レジスト11を除去する。

【0011】そして、必要に応じて裏面を予め研磨することによって、シリコンウエハ基板10よりもLSI半導体チップ31、32を薄くし、図1（4）に示すように、レジスト11を除去した後に、シリコンウエハ基板10よりも薄い半導体チップ31、32をそれぞれ窪み21、22に搭載する。半導体チップ31、32を窪み

21、22に搭載する場合、半導体プロセスにおけるウエハの張り合わせ技術等を用いて、半導体チップ31、32をシリコンウエハ基板10に接着する。

【0012】次に、図1（5）に示すように、第1層間膜となるSiO₂（二酸化シリコン）41を、CVD（Chemical Vapor Deposition）等によって堆積する。この場合、チップを埋め込んだ部分に段差が生じたら、図1（6）に示すように、LSIの配線工程で用いられる平坦化技術によって平坦にする。そして、図1（7）に示すように、上記と同様に、フォトリソグラフィとエッチングとによって第1層間膜41を加工し、第1層間膜41にスルーホール61を形成する。この場合、半導体チップ31、32の電極パッド部分31p、32pにのみ対応する絶縁膜41にスルーホール61を設ける。

【0013】次に、第1配線層となるAL51を蒸着した後、フォトリソグラフィとエッチングとによって加工し、図1（8）に示すように、配線を作る。これによって、配線が1層である実装基板が完成する。

【0014】その後、多層配線の実装基板を作る場合には、図1（9）、図1（10）に示すように、層間膜41と配線層51とを施す上記の方法と同様に、層間膜42と配線層52との加工を繰り返し、これによって、多層配線を実現する。つまり、上記加工された導体膜51と絶縁膜41とに第2の絶縁膜42を堆積する段階と、配線パタン51に到達するように第2のスルーホールを設ける段階と、第2の絶縁膜42と上記第2のスルーホールとに第2の導体膜52を堆積する段階と、この堆積された導体膜をパタン形成することによって第2の配線パタン52を形成する段階とを繰り返し、これによって、多層配線を形成し、半導体チップ31、32同士を電気的に接続するか、または、配線層によって電極パッドを構成する。

【0015】最後にシリコンウエハ基板10をダイシングし、所望の大きさの基板に加工する。

【0016】上記実施例において、LSIチップ31、32自体は既に製造されていることが前提であり、したがって、上記実施例における半導体プロセス技術としては、配線技術のみを使用するので、LSIにおけるトランジスタを作る場合よりも、実装基板100の製造が容易であり、また、トランジスタ活性層部分には影響を与えないので、ナトリウム等の汚染の問題が生じない。

【0017】図2は、実装基板100と同様の実装基板101を示す平面図である。

【0018】この実装基板101の大きさに規格を持たせれば、実装基板101の外部の実装に対して汎用性を確保することができる。図2に示す例では、多層配線プロセスで形成した電極パッドを、実装基板101の周辺に形成してある。

【0019】図3は、実装基板100と同様の実装基板

102から所定の基板を切り出す例を示す図である。

【0020】実装基板102を切り出す場合、ダイシングによって実装基板を分離し、図3において、この分離位置を破線で示してある。

【0021】実装基板100~102によれば、半導体プロセス技術としては配線技術のみを使用すれば足りるので、プロセスルールが異なるLSIや化合物半導体IC、CMOSLSI、バイポーラLSI等を互いに混載することができ、また、半導体配線プロセスを用いて実装基板100~102を製造するので、極めて高密度に半導体チップ31、32を実装することができ、しかも半導体チップ31、32の裏面がSi基板であるので、放熱特性が極めて優れ、また、実装した半導体チップ31、32からの電極を、LSIチップ31、32の中央部や、Si基板10の中央部等、Si基板10上の所望のあらゆる場所から取り出せるので、半導体チップの大きさが同じである場合、半導体チップが内蔵されている従来のパッケージからピンを取り出す場合よりも、上記実施例におけるピンピッチが緩和される。

【0022】図4は、本発明の第2の実施例である実装基板103を製造する方法の説明図である。

【0023】実装基板103は、基本的には、実装基板100と同じ方法で製造されるが、抵抗体71を形成する点が、実装基板100とは異なる。つまり、図4

(5)に示すように、SiO₂膜41を堆積した後に、図4(6)に示すように、不純物ドーパド多結晶シリコン膜70をCVDで堆積した後に、図4(8)、(9)に示すように、フォトリソグラフィとエッチングとによって加工を行い、抵抗体71を形成する。

【0024】図5は、実装基板103において、配線層を利用してインダクタL、キャパシタCを形成する方法を示す図である。

【0025】図5に示すように、多層配線プロセスによって、インダクタLやキャパシタCのような受動部品を作り込む。実装基板103によれば、チップ内終端抵抗を持たない多ピンの高速入出力端子を有するLSIを実装する際に実装面積の増大を招いていた終端抵抗を半導体プロセスで作ることによって、SMD (Surface Mount Device) で現在最も小型な1.0mm×0.5mmの終端抵抗の1/500以下の大きさで、終端抵抗を実装することができる。

【0026】図6は、本発明の第3の実施例である実装基板104を製造する方法の説明図である。

【0027】実装基板100、103を製造する方法によって、図6に示すように、PD (Photo Detector) 81~84、LD (Laser Diode) 91~94等の多品種の部品を混載した実装基板104、つまり、光の入出力インタフェースを作ることができる。なお、実装基板100、103を製造する場合、レーザ、フォトディテクタの代わりに、波長ルータ等の他の光部品を混載するよ

うにしてもよい。また、レーザ、フォトディテクタとともに、波長ルータ等の他の光部品を混載するようにしてもよい。

【0028】実装基板104によれば、光部品を混載することによって、実装基板の入出力インタフェースとして、電極パッドを使用せずに、光を用いたもので実現することができる。

【0029】図7は、本発明の第4の実施例である実装基板105を製造する方法の説明図である。

【0030】実装基板105は、シリコンバイポーラLSI 31、CMOS (Complementary Metal Oxide Semiconductor) LSI 32~34と、化合物半導体LSI 35と、LD 91~94と、抵抗体72と、多層配線プロセスで作成されたインダクタLと、多層配線プロセスで作成されたキャパシタCとを混載した例である。

【0031】実装基板105における高速信号伝送線路として、図8に示すマイクロストリップ線路、図9に示すコプレーナ線路のいずれも、容易に形成が可能であり、Si基板の比誘電率 ϵ_r (=1.2)、SiO₂の比誘電率 ϵ_r (=3.5)、堆積できる層間膜厚、加工可能な配線幅は、一般的に広く用いられている特性インピーダンス50Ωの線路を形成する場合に、現実的な値であり、その実現が容易である。なお、実装基板105における高速信号伝送線路として、マイクロストリップ線路、コプレーナ線路の代わりに、ストリップ線路を採用するようにしてもよい。

【0032】実装基板105によれば、配線基板構造が、特性インピーダンス設計に対する自由度を持つので、実装基板上で極めて高速な信号を伝送する場合に、容易に対応できる。

【0033】上記各実施例は、従来の半導体チップのように、半導体チップの電極パッドからワイヤボンディング等によって各種LSIパッケージに電気接続し、プリントボード上に展開する方法、またはワイヤボンディング等によってMCM基板上に展開する方法とは異なり、半導体チップの電極パッドから信号を取り出すものであり、この場合、全て半導体プロセス技術を用いることによって、上記電極パッドからの信号取り出しを行うものである。また、上記実施例は、異なるデバイスプロセス技術の融合とチップレベルでの歩留まりとを確保できさえすれば、ウエハレベルでの完全動作が要求されるWSIよりは、製造歩留まりが格段に緩和される。

【0034】なお、上記各実施例において、半導体チップをウエハ基板に搭載する場合、半導体プロセス技術によってウエハ基板に窪みを形成し、この形成された窪みへ半導体チップを載せる段階を採用する代わりに、機械的加工によってウエハ基板に窪みまたは穴を設け、この設けられた窪みまたは穴に半導体チップを組み込み固定する段階を採用するようにしてもよく、また、ウエハ基板に窪みまたは穴を設けずにそのまま半導体チップを接

着して搭載する段階を採用するようにしてもよい。

【0035】なお、実装基板100～105は、電子部品の例である。

【0036】

【発明の効果】本発明によれば、半導体集積回路の実装において、極めて高密度に実装することができ、高性能な冷却構造をとることが可能であり、しかも、異なるデバイスプロセス技術で作製されたチップと、受動部品または光部品とを小さなエリアに混載させることが可能であるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例である実装基板100の製造方法の説明図である。

【図2】実装基板100と同様の実装基板101の平面図である。

【図3】実装基板100と同様の実装基板102から所定の基板を切り出す例を示す図である。

【図4】本発明の第2の実施例である実装基板103の製造方法の説明図である。

【図5】実装基板103において、配線層を利用してインダクタ、キャパシタを形成する方法を示す図である。

【図6】本発明の第3の実施例である実装基板104の製造方法の説明図である。

【図7】本発明の第4の実施例である実装基板105の

製造方法の説明図である。

【図8】上記実施例に使用するマイクロストリップ線路の説明図である。

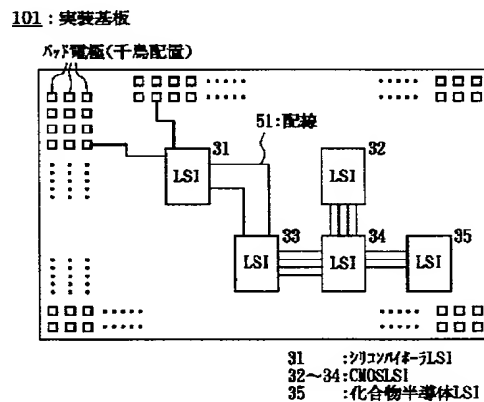
【図9】上記実施例に使用するコプレーナ線路の説明図である。

【図10】半導体チップを基板へ実装する場合における従来のパッケージングの例とMCM実装の例とを示す図である。

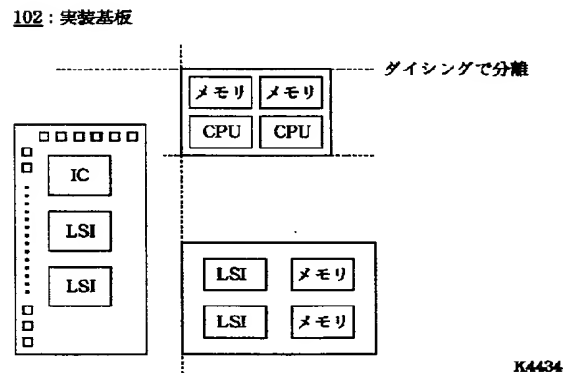
【符号の説明】

- 10 100～105…実装基板、
10…Si基板、
21、22…窪み、
31～35…LSIチップ、
31p、32p…LSIパット、
41、42…SiO₂膜、
51、52…配線、
61、62…スルーホール、
70…ポリシリコン膜、
71、72…抵抗体、
81～84…PD、
91～94…LD、
L…インダクタ、
C…キャパシタ。

【図2】

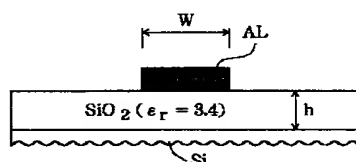


【図3】



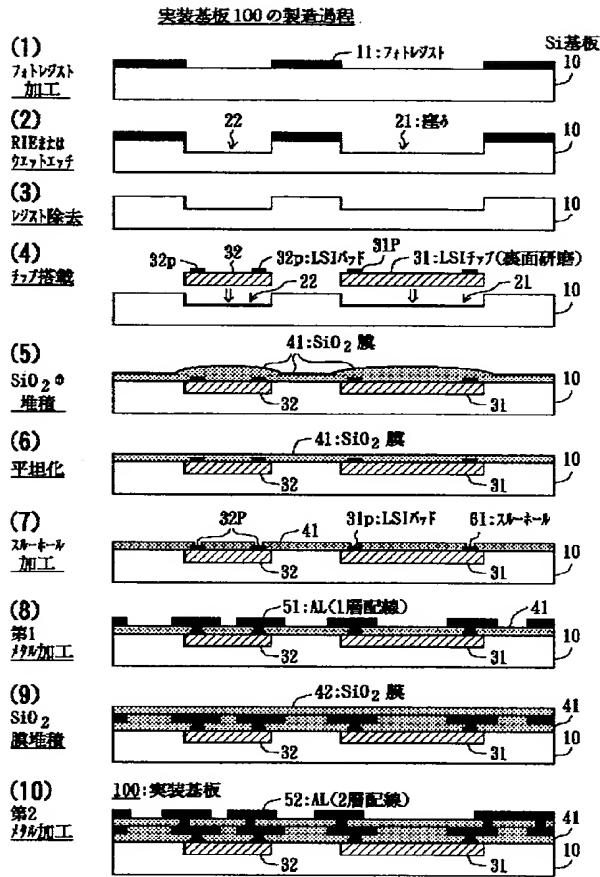
【図8】

マイクロストリップ線路

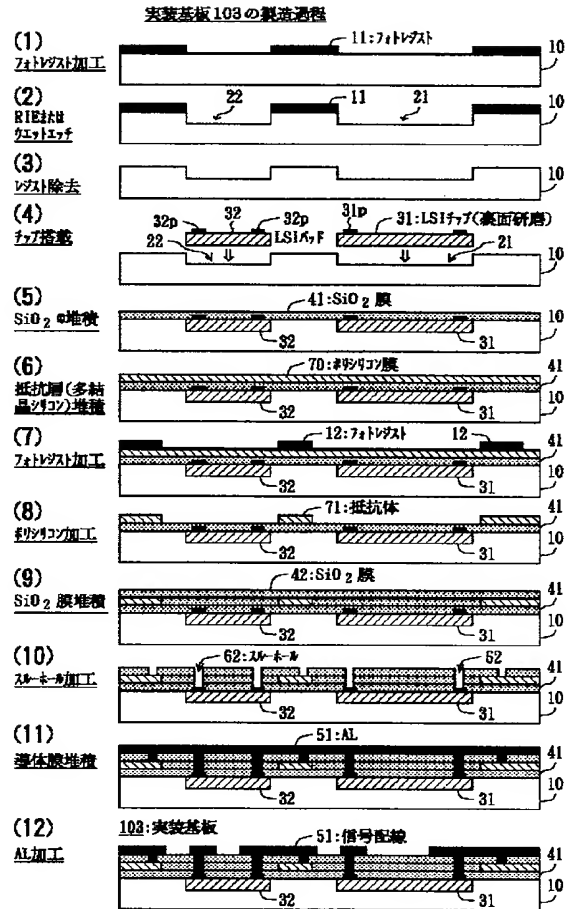


$h = 10 \mu\text{m}$, $W = 20 \mu\text{m}$ のとき、 $Z_0 \approx 50 \Omega$

【図 1】

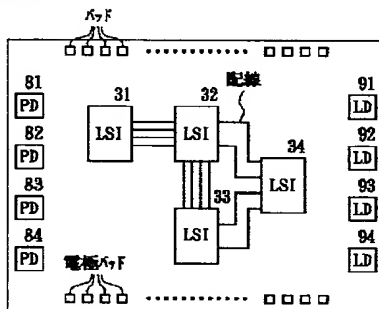


【図 4】



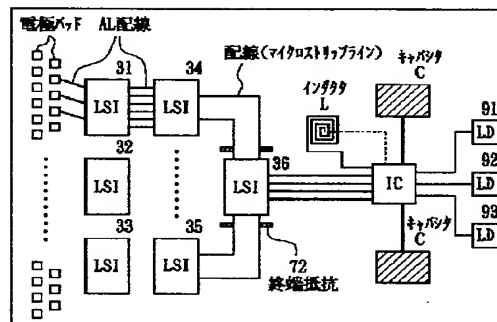
【図 6】

104: 実装基板



【図 7】

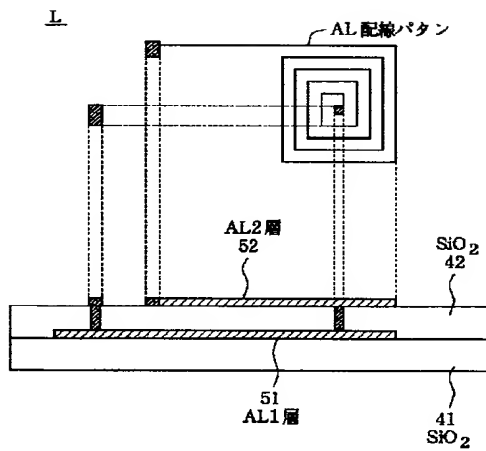
105: 実装基板



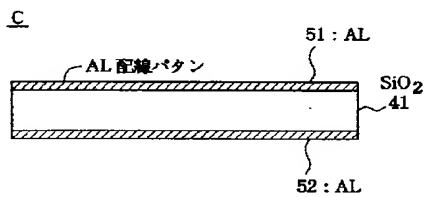
K4434

【図5】

(1) インダクタLの形成方法



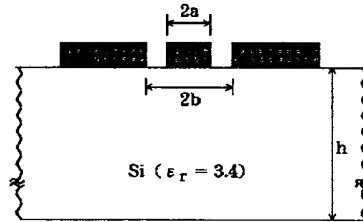
(2) キャパシタCの形成方法



K4434

【図9】

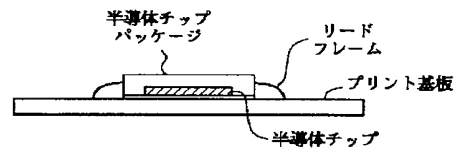
コプレーナ線路


 $h = 600 \mu\text{m}$, $a = 30 \mu\text{m}$, $b = 60 \mu\text{m}$ のとき、 $Z_0 \approx 50 \Omega$

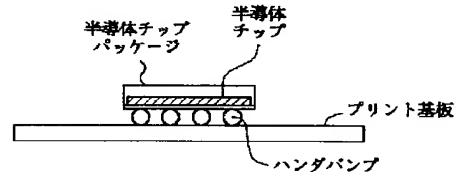
K4434

【図10】

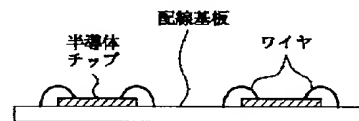
(1) QFP実装



(2) CSP実装



(3) MCM実装



K4434